

ПОЛИФАЗНЫЙ ФИЛЬТР-ДЕЦИМАТОР ТИПА СИС

В.В. Запевалов

Предлагается способ построения полифазных децимирующих СИС-фильтров.

Ключевые слова: цифровая обработка сигналов, цифровая фильтрация, децимация, СИС-фильтр, полифазная обработка.

Введение

При решении задач цифровой обработки сигналов нередко возникает задача создания цифровых фильтров низкой частоты. Широко известны такие типы фильтров, как БИХ и КИХ – с бесконечной и конечной импульсной характеристикой. Данные фильтры реализуются с помощью операций задержки, умножения и сложения. Алгоритмы фильтрации могут реализовываться на микроконтроллерах, цифровых сигнальных процессорах и программируемых логических микросхемах (ПЛИС). Применение ПЛИС позволяет обрабатывать широкополосные сигналы ввиду того, что ПЛИС дает возможность реализовать параллельную обработку отчётов входного сигнала. Таким образом, при однофазной обработке ширина полосы обрабатываемого сигнала определяется максимальной тактовой частотой умножителя в ПЛИС. В настоящее время производительность блоков умножения в ПЛИС семейства Stratix V фирмы Altera оценивается в 350 МГц [8], то есть при квадратурной обработке сигнала можно обрабатывать сигнал с шириной полосы 350 МГц.

Для обработки более широкополосных сигналов последнее время применяется полифазная обработка сигналов – при разделении отчетов сигнала на четные и нечетные можно увеличить полосу обрабатываемого сигнала вдвое, а при разделении на 4 фазы – вчетверо. В настоящее время доступны высокопроизводительные АЦП с производительностью 3,6 GS/s (млрд выборок в секунду) – например, ADC12D1800 фирмы Texas Instruments [9]. Таким образом, алгоритмы полифазной обработки – актуальная проблема цифровой обработки сигналов.

Не все алгоритмы цифровой обработки сигнала можно реализовать по полифазной архитектуре. Довольно просто реализуется полифазный КИХ-фильтр, однако полифазный фильтр БИХ не может быть реализован подобным образом – данный фильтр имеет обратные связи. Полифазные КИХ-фильтры успешно применяются, однако с помощью алгоритмов КИХ-фильтра практически невозможно построить узкополосный фильтр ввиду того, что полоса фильтра определяется его порядком – например, при тактовой частоте 250 МГц и частоте среза ФНЧ 1,6 МГц необходим фильтр 250-го порядка. Для построения узкополосных ФНЧ могут быть использованы СИС-фильтры, или фильтры Хогенауэра. В настоящей статье рассматривается возможность реализации полифазной структуры СИС-фильтра.

1. Цифровые СИС-фильтры

Для увеличения производительности проектируемого фильтра и уменьшения занимаемых ресурсов ПЛИС предлагается в качестве ФНЧ использовать СИС (Cascaded integrator-comb) фильтр. Этот фильтр представляет собой последовательное соединение интегратора и цифрового гребенчатого фильтра. Структурная схема фильтра такого типа изображена на рис. 1.

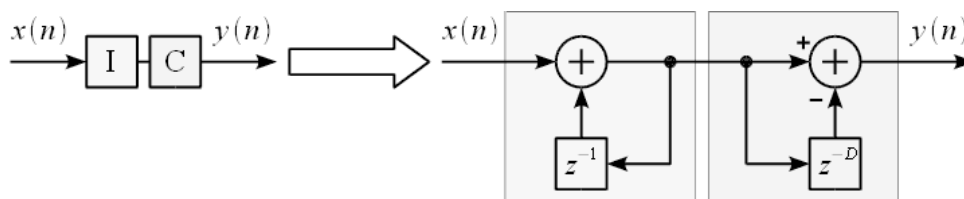


Рис. 1. СИС-фильтр первого порядка

Передаточная характеристика СИС-фильтра первого порядка определяется как

$$H(z) = \frac{1-z^{-D}}{1-z^{-1}},$$

где D – задержка фильтра.

Как показано в [1, 2] в СИС-фильтре первого порядка уровень подавления боковых лепестков составляет -13 дБ. Для достижения больших порядков требуется последовательное включение k звеньев СИС-фильтра, при этом передаточная характеристика для СИС-фильтра k -го порядка будет иметь вид

$$H_k(z) = \left(\frac{1-z^{-D}}{1-z^{-1}} \right)^k.$$

Коэффициент усиления будет определяться как

$$H(0) = k \cdot 20 \cdot \lg(D), \text{ дБ.}$$

Уровень подавления боковых лепестков соседнего канала:

$$\gamma \approx K_0 - 13 \cdot k, \text{ дБ.}$$

АЧХ и ФЧХ СИС-фильтра приведены на рис. 2, 3.

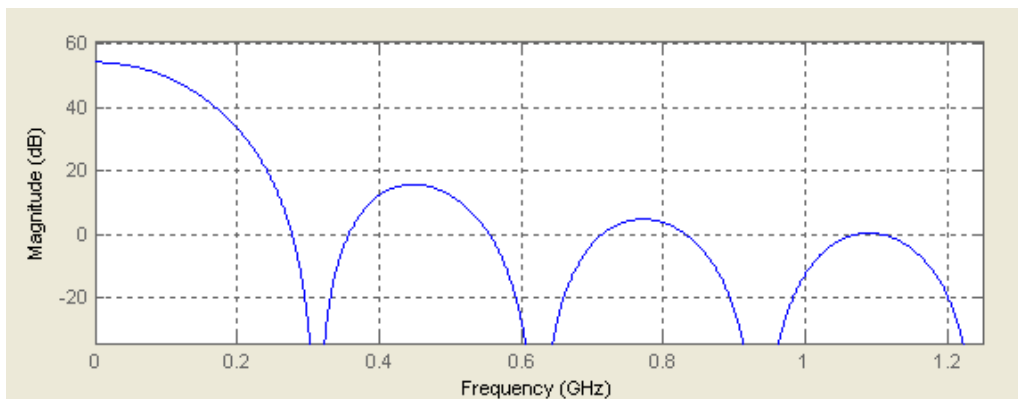


Рис. 2. АЧХ СИС-фильтра 3-го порядка при $D = 4$

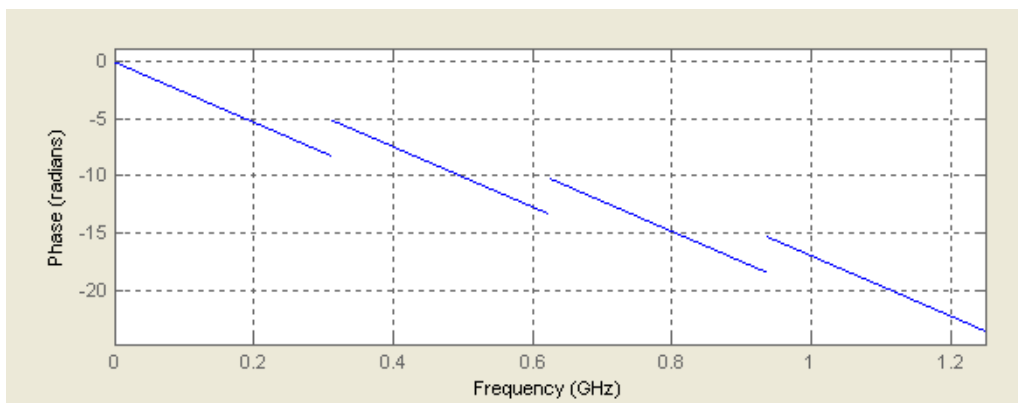


Рис. 3. ФЧХ СИС-фильтра 3-го порядка при $D = 4$.

Можно отметить, что при нечетных порядках ФЧХ фильтра получается кусочно-линейной, а при четных – строго линейной. Линейность ФЧХ крайне важна в тех случаях, когда полезная информация содержится в фазе принятого сигнала – при фазовой пеленгации, в системах связи с фазоманипулированными сигналами, а также в аудиотехнике. Крутизна ФЧХ зависит от коэффициента задержки D . СИС-фильтр нередко совмещают с дециматором. Подробно СИС-фильтры описаны в работах [1, 2].

2. Способы построения полифазных СИС-фильтров

Полифазная обработка подразумевает разделение цифровых отчетов входного сигнала на несколько фаз. Обработка всех фаз происходит параллельно, благодаря чему достигается повышение производительности системы ЦОС пропорционально числу фаз. О полифазной обработке сигналов подробно описано в [7].

Для построения полифазного СИС-фильтра предлагается применить схему, изображенную на рис. 4.

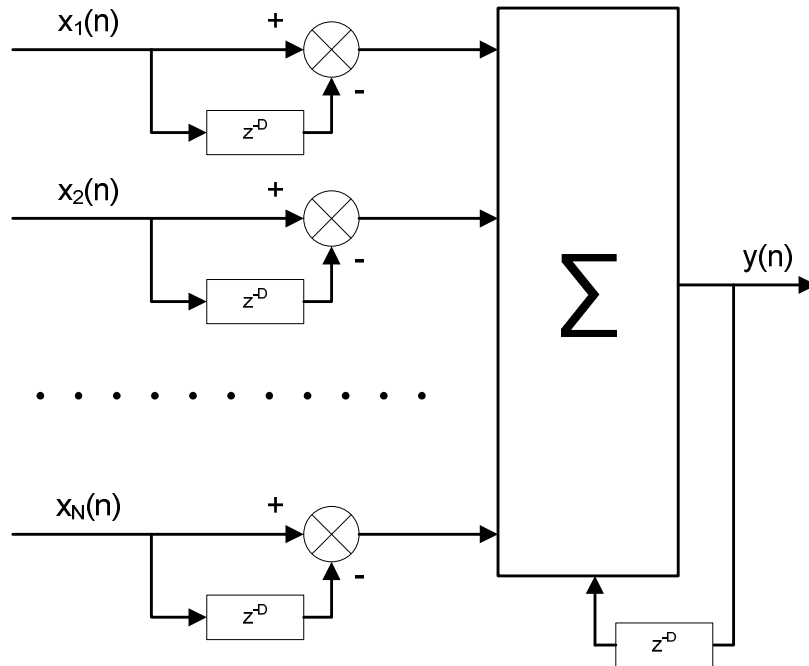


Рис. 4. Схема полифазного СИС-фильтра-дециматора 1-го порядка

В результате получается СИС-фильтр с коэффициентом задержки D и коэффициентом децимации, равным количеству фаз обработки сигнала. Однако фильтр-дециматор первого порядка в ряде случаев неприемлем по причине малого уровня подавления боковых лепестков зеркального канала. Для большего порядка затухания необходим фильтр больших порядков. В работах [3, 4] приведен метод построения полифазных СИС-фильтров высших порядков, однако данный способ предполагает применение либо аппаратных умножителей либо выбор особых случаев с тривиальными коэффициентами, когда умножение можно заменить двоичным сдвигом и сложением.

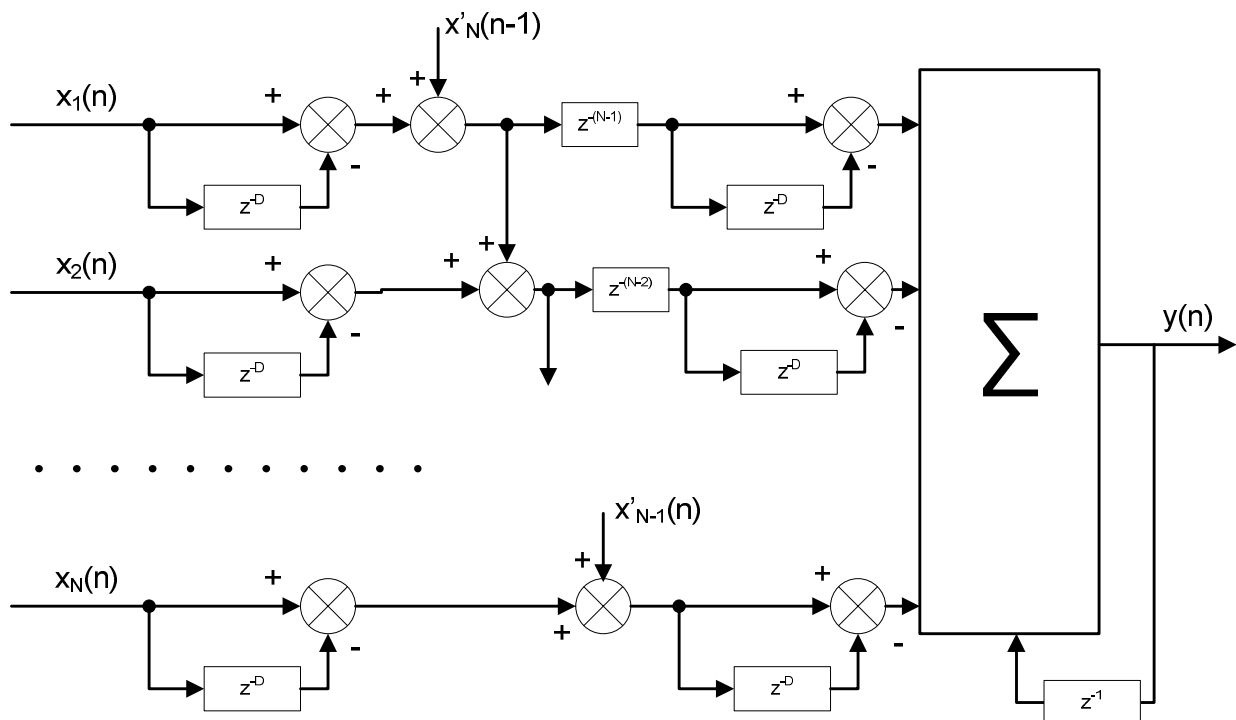


Рис. 5. Полифазный СИС-фильтр 2-го порядка

Чтобы построить полифазный CIC-фильтр 2-го порядка, предлагается организовать перекрестные связи между фазами обработки, заменив интегратор сумматором, второй вход которого подключается к предыдущей фазе, что эквивалентно задержке на один отчет. Кроме того, для выравнивания задержек после сумматоров введены линии задержки на $(N - m)$ тактов, где m – номер фазы. Структура полифазного CIC-фильтра-дециматора 2-го порядка представлена на рис. 5.

Следует заметить, что предложенная схема позволяет строить фильтры больших порядков и таким образом добиваться большего подавления по боковым лепесткам фильтра. Для коррекции формы АЧХ может быть разработан специальный корректирующий КИХ-фильтр [5].

Данная схема была смоделирована в пакете MATLAB. Результаты моделирования подтверждают работоспособность предложенного решения.

Заключение

Фильтр такого типа позволяет обрабатывать сигнал с шириной частотной полосы, в несколько раз превышающей аппаратные возможности (тактовую частоту) тракта цифровой обработки сигнала. Применение полифазного CIC-фильтра совместно с полифазным переносчиком частоты позволяет реализовать узкополосную фильтрацию широкополосного сигнала. Данный фильтр может быть применен для решения задач обнаружения, измерения и мониторинга широкополосных радиосигналов.

Литература

1. CIC фильтры Хогенауэра и их характеристики. – www.dsplib.ru/content/cic/cic.html
2. Hogenauer, E.B. An economical class of digital filters for decimation and interpolation / E.B. Hogenauer // IEEE Transactions on Acoustics, Speech and Signal Processing. – 1981. – Vol. ASSP-29, no. 2 (April). – P. 155–162.
3. Gao, Y. A Partial-Polyphase VLSI Architecture for Very High Speed CIC Decimation Filters / Yonghong Gao, Lihong Jia, Hannu Tenhunen // Proc. the 12th Annual 1999 IEEE International ASIC/SOC Conference, Washington, 1999. – P. 391–395.
4. Gao, Y. Low-Complexity High-Speed Decimation Filters / Yonghong Gao, Lihong Jia, Hannu Tenhunen. – Stockholm, Electronic System Design Laboratory Royal Institute of Technology, 1999. – www.ict.kth.se/ECS/esd/doc/ar99/gao/decimator_isic99.pdf
5. AN455. Understanding CIC Compensation Filters. Altera Corporation, 2007.
6. Candan, C. Optimal Sharpening of CIC Filters and An Efficient Implementation Through Sarakani-Ritoniemi Decimation Filter Structure / C. Candan. – Ankara, Department of Electrical Engineering, METU. – www.eee.metu.edu.tr/~ccandan/pub-dir
7. Vaidyanathan, V.V. Multirate digital filters, filter banks, polyphase networks, and applications: A tutorial / V.V. Vaidyanathan // Proc. of the IEEE. – 1990. – Vol. 78, no. 1.– P. 56–93.
8. Stratix, V. Device Handbook / V. Stratix. – Altera Corporation, 2012.
9. ADC12D1800 12-Bit, Single 3.6 GSPS Ultra High-Speed ADC. Texas Instruments, 2012. – www.ti.com/lit/ds/sn500n/sn500n.pdf

Запечалов Виталий Валерьевич, зав. сектором цифровой обработки радиосигналов НИИЦС, Южно-Уральский государственный университет (г. Челябинск); zapivalovvv@is74.ru.

Bulletin of the South Ural State University
Series “Computer Technologies, Automatic Control, Radio Electronics”
2013, vol. 13, no. 3, pp. 128–132

POLYPHASE CIC DECIMATION FILTER

V.V. Zapevalov, South Ural State University, Chelyabinsk, Russian Federation,
zapivalovvv@is74.ru

The article deals with proposed a polyphase architecture for CIC decimation filters.
Keywords: digital signal processing, digital filters, decimation, CIC filters, multirate processing, polyphase processing.

References

1. CIC filters and their technical characteristics. Available at: www.dsplib.ru/content/cic/cic.html
2. Hogenauer E.B. An economical class of digital filters for decimation and interpolation. *IEEE Transactions on Acoustics, Speech and Signal Processing*, 1981, vol. ASSP-29, no. 2 (April), pp. 155–162.
3. Yonghong Gao, Lihong Jia, and Hannu Tenhunen. A Partial-Polyphase VLSI Architecture for Very High Speed CIC Decimation Filters. *Proc. the 12th Annual 1999 IEEE International ASIC/SOC Conference*, Washington, 1999, pp. 391–395.
4. Yonghong Gao, Lihong Jia, and Hannu Tenhunen. Low-Complexity High-Speed Decimation Filters. Electronic System Design Laboratory Royal Institute of Technology Stockholm, Sweden, 1999. Available at: www.ict.kth.se/ECS/esd/doc/ar99/gao/decimator_isic99.pdf
5. AN455. Understanding CIC Compensation Filters. Altera Corporation, 2007.
6. Candan, C. Optimal Sharpening of CIC Filters and An Efficient Implementation Through Sarakani-Ritoniemi Decimation Filter Structure. Cagatay Candan Department of Electrical Engineering, METU, Ankara, Turkey. Available at: www.eee.metu.edu.tr/~ccandan/pub-dir
7. Vaidyanathan P.P. Multirate digital filters, filter banks, polyphase networks, and applications: A tutorial. *Proc. of the IEEE*, 1990, vol. 78, no. 1, pp. 56–93.
8. Stratix V Device Handbook. Altera Corporation, 2012.
9. ADC12D1800 12-Bit, Single 3.6 GSPS Ultra High-Speed ADC. Texas Instruments, 2012. Available at: www.ti.com/lit/ds/sn500n/sn500n.pdf

Поступила в редакцию 8 мая 2013 г.